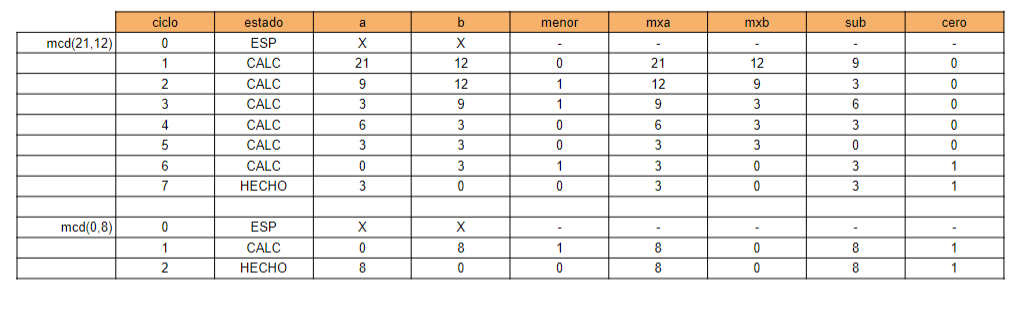
# Multiprocesadores : Práctica 1

Héctor Romero de Blas , Miquel García de Mendoza , Ramon Mateo

**Trabajo 1:** **Analice el flujo de información en el camino de datos y los estados en el autómata de control en los cálculos *mcd(21, 12*) y *mcd(0, 8)*. Una forma de representar los cálculos es mediante una tabla (Figura 5). Los acrónimos *mxa* y *mxb* indican las salidas de los multiplexores ubicados en las entradas del módulo sub (Figura 2). El multiplexor *mxa* es el ubicado en la parte superior de la figura en la página 4.**

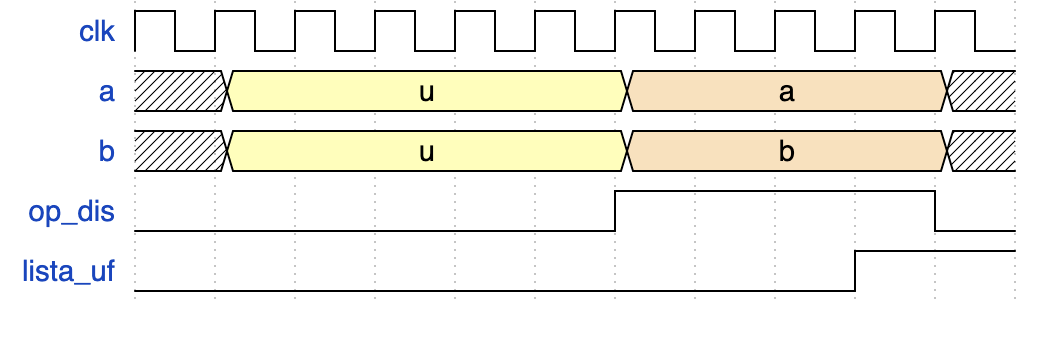


*Tabla 1: Evolución de señales durante el cálculo de mcd(21,12) y mcd(0,8)*

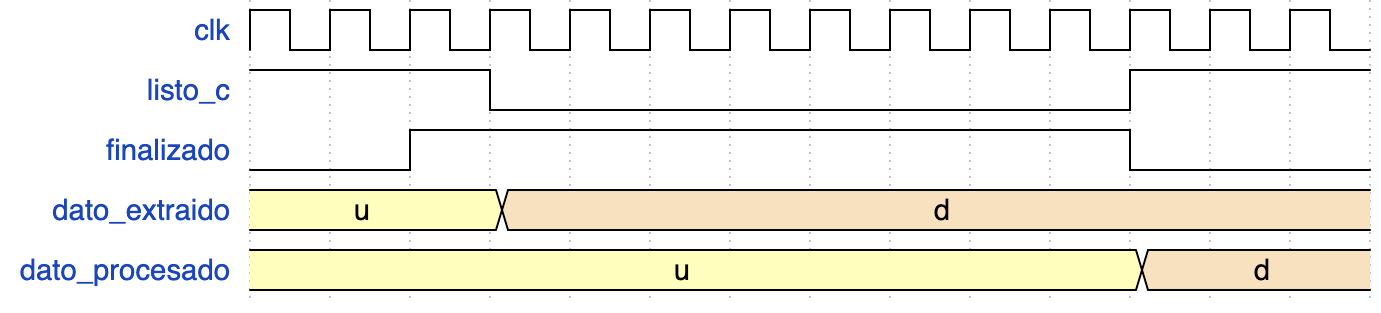
**Trabajo 6:** **Analice el programa de prueba. Describa los procedimientos “producir\_datos” y “consumir\_datos” mediante diagramas temporales. Para ello, utilice la señal reloj y sus flancos como referente. Céntrese en las señales relativas a los protocolos de las interfaces (*productor-mcd* y *mcd-consumidor*) y el valor de las entradas. Tenga en cuenta también el parámetro “*timepoproducir*”, en la página 8.**

En primer lugar, la señal *pet\_l.listo* está a 1, indicando así que el consumidor está listo para recibir un dato (Figura 1) . En el ciclo 3 el Productor pone a 1 el *pet\_dv.val*, que indica que el valor en los productores A y B son válidos y que se debe cambiar a estado CALC. Como *pet\_l.listo* está a 1, los datos son recogidos inmediatamente por el consumidor. A continuación en el ciclo 4 bajan tanto *pet\_dv.val*, como *pet\_l.listo*, justo al meter los datos en los registros. A partir de esto entra en el estado de CALC.

Al terminar las operaciones (en el ciclo 10) la señal *resp\_dv.listo* se pone a 1 juntamente con el cambio de estado de CALC a HECHO indicando que el resultado está en “s”. En el ciclo 12 el proceso ha terminado y se puede volver a el estado de espera ESP. La señal de *resp\_l.listo* sube a 1, indicando que debe cambiarse a ESP. La señal tarda 1 ciclo a propagarse hasta *pet\_l.listo*, por tanto sube a 1 en el ciclo 13. (Figura 2).

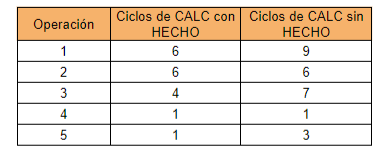


*Figura 1 : diagrama temporal del procedimiento “producir\_datos”*



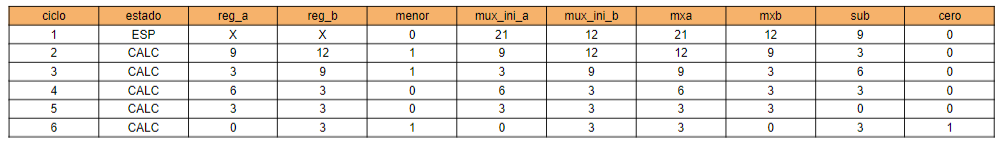
*Figura 2 : diagrama temporal del procedimiento “consumir\_datos”*

**Trabajo 17: Construya una tabla con los ciclos de cálculo de las operaciones iniciadas por el productor en los Trabajo 7: y Trabajo 16: en la página 10.**

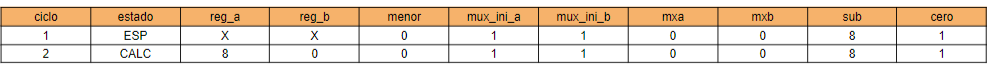


*Tabla 2 : Ciclos de cálculo*

**Trabajo 20: Analice el flujo de información en el camino de datos y los estados en el autómata de control en los cálculos *mcd(21, 12), mcd (8,0) y mcd(0, 7).* Una forma de representar los cálculos es mediante una tabla (Figura 17). Los acrónimos *mxa* y *mxb* indican las salidas de los multiplexores ubicados en las entradas del módulo sub (Figura 2) , en la página 12.**



*Tabla 3 : Evolución de señales durante el cálculo de mcd(21, 12).*

**

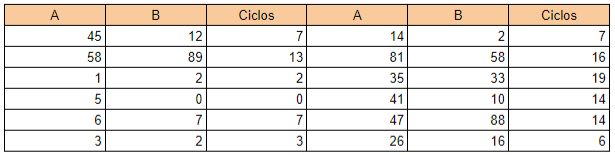
*Tabla 4 : Evolución de señales durante el cálculo de mcd(8,0)*

**

*Tabla 5 : Evolución de señales durante el cálculo de mcd(0, 7)*

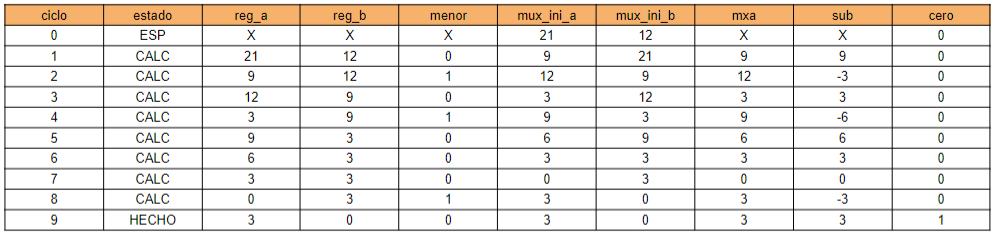
**Trabajo 32: Modifique el programa de prueba utilizando operandos de entrada distintos. Efectúe una simulación con Modelsim y analice los resultados., en la página 17.**

Como podemos observar en la tabla 6, el tiempo mínimo de cálculo es cuando uno de los operandos es 0. Aparte observamos que cuanto más cercano sea un operando a la mitad del otro operando menos ciclos requerirá.

**

*Tabla 6 : Ciclos de cálculo del mcd (A, B)*

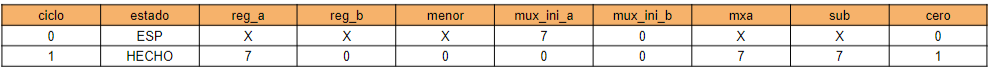
**Trabajo 34: Analice el flujo de información en el camino de datos en los cálculos *mcd(21, 12), mcd (0,8) y mcd(7, 0)*. Una forma de representar los cálculos es mediante una tabla (Figura 34). Los acrónimos *mx\_ini\_a, mx\_ini\_b* y *mx\_a* indican las salidas en los multiplexores ubicados en las entradas de los registros o en la entrada del multiplexor *mx\_ini\_a* (Figura 32), en la página 20.**

**

*Tabla 7 : Evolución de las señales durante el cálculo del mcd(21,12)*

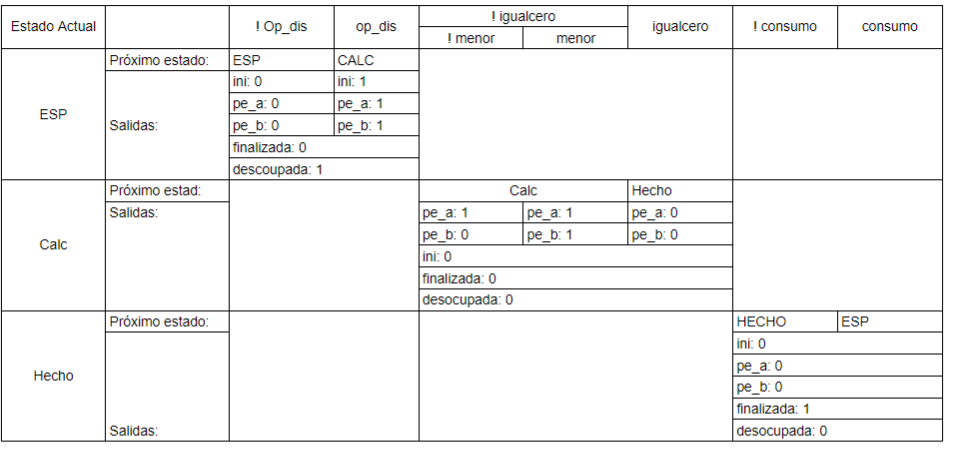
**

*Tabla 8 : Evolución de las señales durante el cálculo del mcd(0,8)*

**

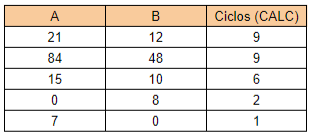
*Tabla 9 : Evolución de las señales durante el cálculo del mcd(7,0)*

**Trabajo 37: Diseñe un autómata de control para el camino de datos de la Figura 32 utilizando 3 estados (ESP, CALC y HECHO). Construya la tabla de transiciones entre estados donde también se especifique la lógica de salida, en la página 21.**

**

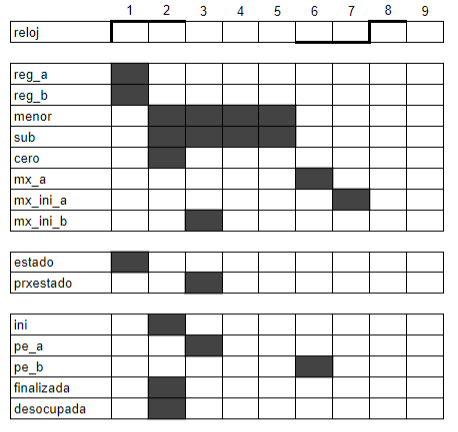
*Tabla 10 : Lógica de cambio de estado y de salida del autómata con tres estados.*

**Trabajo 44: Efectúe una simulación con Modelsim y analice los resultados. Construya una tabla con los ciclos de cálculo de las operaciones iniciadas por el productor., en la página 21.**

**

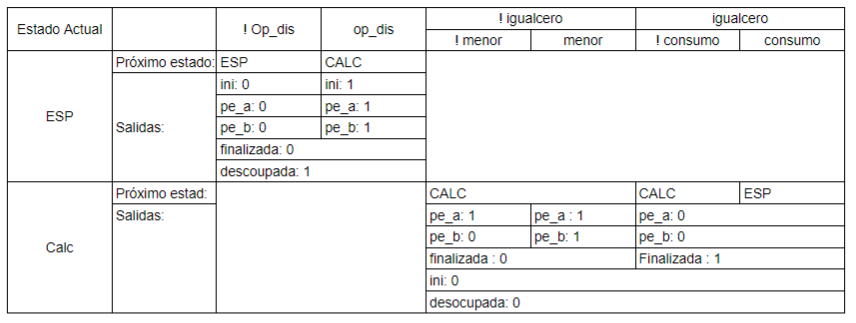
*Tabla 11 : Ciclos de cálculo del mcd(A, B) para camino segmentado.*

**Trabajo 47: Utilice los retardos especificados en el Apéndice 1.7 para dibujar un diagrama temporal de retardos con el cual determinar el tiempo de ciclo., en l a página 22.**

****

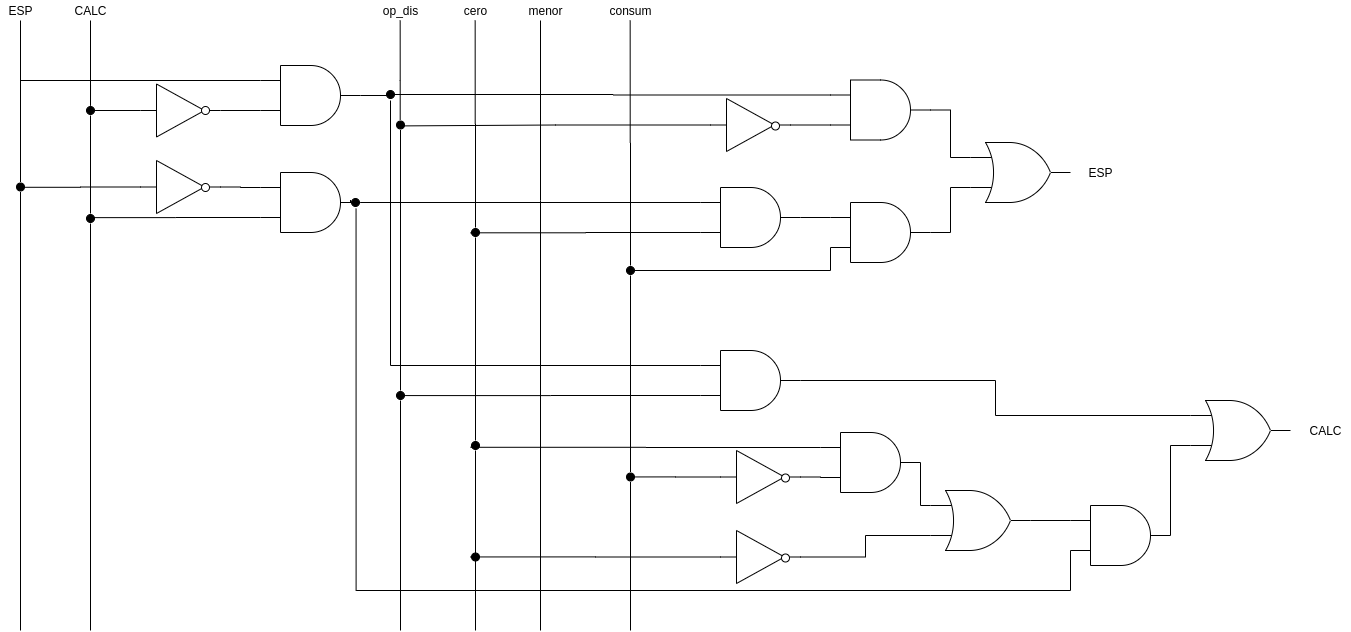
*Tabla 12 : Diagrama de retardos del circuito segmentado con tres estados.*

**Trabajo 48: Diseñe un autómata de control para el camino de datos de l a Figura 32 utilizando 2 estados (ESP y CALC). Construya l a tabla de transiciones entre estados donde también se especifique la lógica de salida., en la página 22***.*

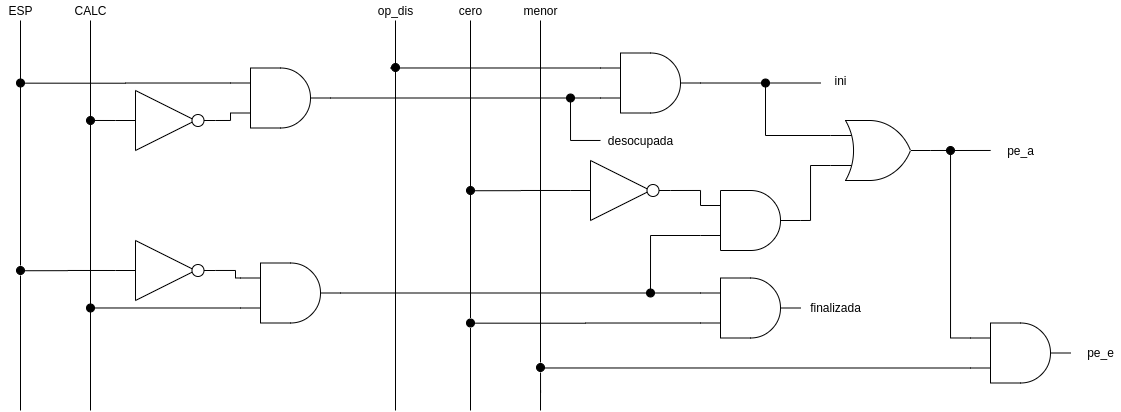
**

*Tabla 13 : Lógica de cambio de estado y de salida del autómata con dos estados.*

**Trabajo 55: Diseñe con puertas lógicas las lógicas de próximo estado y de salida. Para codificar el estado se utiliza un vector de bits (Apéndice 1.6)., en la página 22**

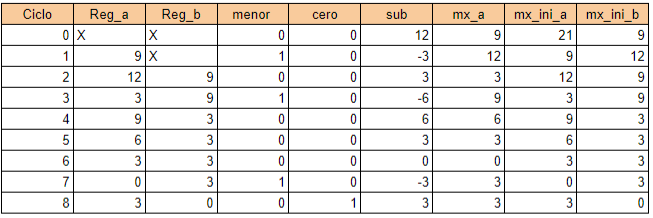
**

*Circuito 1 : Lógica del próximo estado*

**

*Circuito 2 : Lógica de salida*

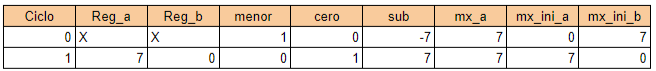
**Trabajo 57: Analice con detalle la forma de utilizar el camino de datos para las operaciones de intercambio y calcular, tanto al iniciar una operación mcd como en régimen permanente. Este análisis es necesario para diseñar el autómata de control. Por ejemplo, es de interés analizar la utilización del camino de datos de la Figura 35 en los cálculos mcd(21, 12), mcd(8,0), mcd(0,7) y mcd(8, 1). En primer lugar debe analizarse el inicio de la operación y el siguiente ciclo. Posteriormente se analiza el régimen permanente., en la página 23.**



*Tabla 14 : Evolución de las señales durante el cálculo del mcd(21,12)*

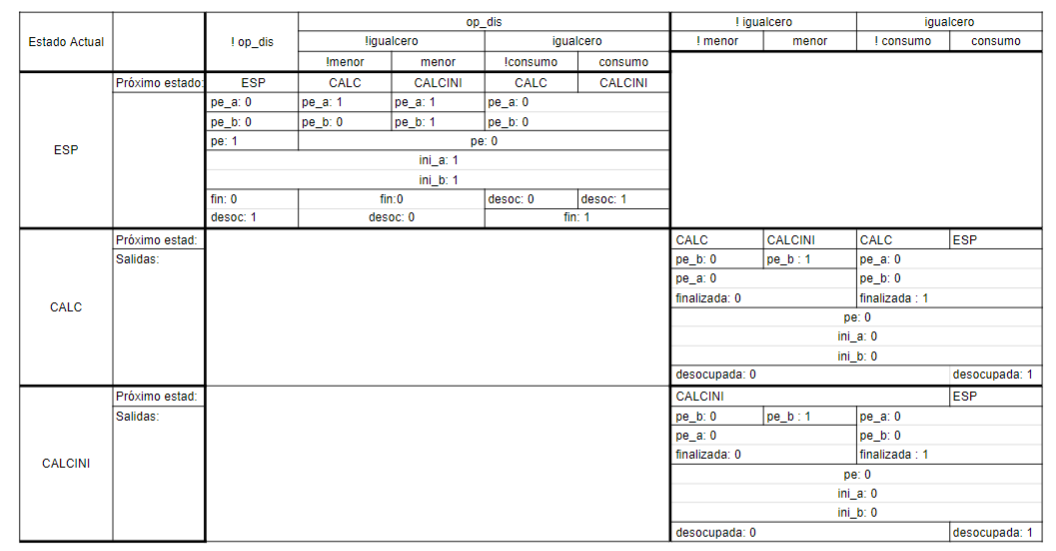


*Tabla 15 : Evolución de las señales durante el cálculo del mcd(8,0)*

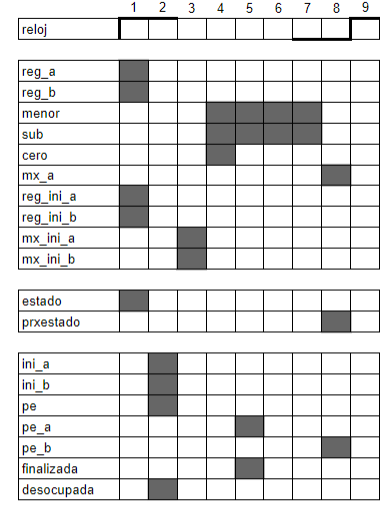


*Tabla 16 : Evolución de las señales durante el cálculo del mcd(0, 7)*

**Trabajo 60: Diseñe un autómata de control para el camino de datos de la Figura 35 utilizando 3 estados (ESP, CALC, CALCINI), donde en el estado ESP ya se inicia el cálculo. Construya la tabla de transiciones entre estados donde también se especifique la lógica de salida., en la página 24.**

*Tabla 17 : Lógica de cambio de estado y de salida del autómata con cálculo en ESP.* 

**Trabajo 70: Utilice los retardos especificados en el Apéndice 1.7 para dibujar un diagrama temporal de retardos con el cual determinar el tiempo de ciclo., en la página 25**



*Tabla 18 : Diagrama de retardos del circuito con inicio de cálculo en ESP*

**Trabajo 71: En el diseño de l a mcd de las Figura 32 y Figura 35 se utilizan componentes distintos para efectuar la operación de resta y determinar si “a < b”. Proponga una implementación de la operación resta, que además de determinar el resultado, indique si se produce desbordamiento (a < b). El módulo diseñado tendría, además de la salida s, la salida “a<b”. Nota: razone sobre efectuar l a operación de resta extendiendo el rango de representación., en la página 25.**

La idea sería aprovechar la representación en complemento a dos del resultado de la resta. Únicamente se necesitaría el bit de mayor peso indicador del signo. En el caso de un negativo tendríamos un “1” y “0” en positivo. Este simple bit ya nos sirve para sustituir el comparador entero. En el caso de extender el rango no habría problema ya que simplemente seguiríamos utilizando el bit de signo.